

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-162040

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G06F 17/50

G01R 31/28

H01L 21/82

(21)Application number : 08-318928

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.11.1996

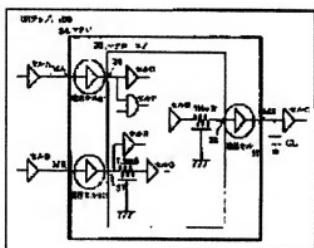
(72)Inventor : YOSHIKAWA SATOSHI

(54) MANUFACTURE OF LARGE-SCALE INTEGRATED CIRCUIT DEVICE, AND LARGE-SCALE INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a large-scale integrated circuit device that is more efficient, by calculating the delay time of a macro on the basis of delay characteristic data concerning a designed logic circuit, and logically simulating the designed logic circuit according to the found delay time.

SOLUTION: When the macro is registered in a logic library, the macro is regarded as a macro core 35 and boundary cells 31 to 33 are regarded an input initial-stage cell and an output final-stage cell, thereby registering the added macro 34. Further, the boundary cells 31 to 33 are arranged nearby the input terminals MA and MB and output terminal MX of the new macro 34. Thus, the boundary cells are added nearby the input terminals MA and MB and output terminal MX and the macro 34 is registered. Consequently, the input terminals and boundary cells correspond to each other one to one firstly and then the delay time depending upon an input through rate can easily and accurately be calculated by making good use of characteristics or characteristic parameters of the boundary cells.



LEGAL STATUS

[Date of request for examination] 25.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-162040

(43) 公開日 平成10年(1998)6月19日

(51) Int.Cl.[®]

識別記号

E 1

G 0 6 F 15/60
G 0 1 R 31/28
G 0 6 F 15/60
H 0 1 L 21/82

664K
F
668Z
C
T

審査請求・未請求・請求権の數9 01 (全12頁)

(21) 出庫番号

卷四三二八—318928

(71) 出願人 000005223

富士酒株式会社

(22) 出願日

平成8年(1996)11月29日

神奈川県川崎市中原区上小田中4丁目1番
1号

▲吉▼川 聰
神奈川県川崎市中原区上小田中4丁目1番

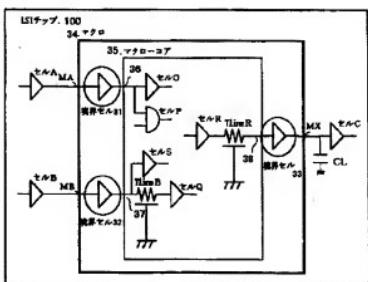
(74)代理人 委理士·士井 健三 (原1名)

(54) 【発明の名称】 大規模集積回路装置の製造方法及び大規模集積回路装置

(57) [要約]

【課題】遅延時間の計算が容易になる様にマクロのモーリングと特性抽出を行う手法を提供する。

【解決手段】所定の機能を有するマクロコアを有し入力端子と出力端子の近傍に境界セルを付加したマクロに対して、該入力端子と出力端子に該境界セルの遅延特性データを属性データとして与えた論理ライブラリデータを生成してファイルに格納する工程と、少なくとも複数のセルと前記マクロを有し、前記セルは該マクロの入力端子及び出力端子に接続された境界セルを介して前記マクロコアに接続される論理回路を設計する工程と、設計された論理回路について、該遅延特性データに基づいてマクロの遅延時間を演算する工程と、演算して求めた該遅延時間にしたがって該設計された論理回路の論理シミュレーションを行う工程とを有することを特徴とする大規模集積回路装置の製造方法。上記の遅延特性データは、入力スルーレートに依存する遅延時間特性についてのデータである。



【特許請求の範囲】

【請求項1】所定の機能を有するマクロコアを有し入力端子と出力端子の近傍に境界セルを付加したマクロに対して、該入力端子と出力端子に該境界セルの遅延特性データを属性データとして与えた論理ライブラリデータを生成してファイルに格納する工程と、少なくとも複数のセルと前記マクロを有し、前記セルが該マクロの入力端子及び出力端子に接続された境界セルを介して前記マクロコアに接続される論理回路を設計する工程と、該設計された論理回路について、該遅延特性データに基づいてマクロの遅延時間を演算する工程と、演算して求めた該遅延時間にしたがって該設計された論理回路の論理シミュレーションを行う工程とを有することを特徴とする大規模集積回路装置の製造方法。

【請求項2】請求項1に記載の大規模集積回路装置の製造方法において、前記入力端子に接続される境界セルの遅延特性データは、入力スルーレートに依存する遅延時間特性についてのデータであることを特徴とする。

【請求項3】請求項2に記載の大規模集積回路装置の製造方法において、

前記遅延時間特性についてのデータは、遅延時間の計算に必要な特性パラメータであることを特徴とする。

【請求項4】請求項2に記載の大規模集積回路装置の製造方法において、前記遅延時間特性についてのデータは、該入力端子に接続されるセルの遅延時間判定レベルと前記マクロコアの遅延時間判定レベルと整合した遅延時間特性であることを特徴とする。

【請求項5】請求項1に記載の大規模集積回路装置の製造方法において、

前記出力端子に接続される境界セルの遅延特性データは、出力駆動能力についてのデータであることを特徴とする。

【請求項6】請求項5に記載の大規模集積回路装置の製造方法において、

前記出力駆動能力についてのデータは、入力スルーレート及び負荷容量に依存した出力スルーレートのデータと、入力スルーレート及び負荷容量に依存した遅延時間であることを特徴とする。

【請求項7】請求項5に記載の大規模集積回路装置の製造方法において、

前記出力駆動能力についてのデータは、該出力端子に接続されるセルの遅延時間判定レベルと前記マクロコアの遅延時間判定レベルと整合した遅延時間特性であることを特徴とする。

【請求項8】複数のセルと、所定の機能を有するマクロとを有する大規模集積回路装置において、

前記マクロは、

複数の入力端子と出力端子と、

上記所定の機能を有するマクロコアと、

該入力端子及び出力端子と該マクロコアとの間に設けられ該入力端子及び出力端子毎に接続された境界セルとを有し、

前記セルが境界セルを介して該マクロコアに接続されることを特徴とする大規模集積回路装置。

【請求項9】コンピュータにより読み取り可能な記憶媒体に格納され、複数種類のセルとマクロのデータを有する論理ライブラリにおいて、

前記セルのデータは、その属性データとして、少なくともその論理データ、入力スルーレートに依存した遅延時間特性データ及び出力駆動能力データとを有し、

前記マクロは、所定の機能を有するマクロコアと、入力端子及び出力端子と、該入力端子及び出力端子の近傍に付加された境界セルとを有し、

前記マクロのデータは、その属性データとして、少なくともその論理データ、該入力端子に接続された境界セルの入力スルーレートに依存した遅延時間特性データ、該出力端子に接続された境界セルの駆動能力データとを有することを特徴とする論理ライブラリを格納した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大規模集積回路装置(LSI)の製造方法及び大規模集積回路装置にかかる、特に、LSIの設計段階における論理シミュレーション工程において行われる遅延時間計算工程に関する。

【0002】

【從来の技術】近年の半導体の微細化技術の向上により、LSIは大規模化がより進んでいる。その結果、1つのチップ内にシステムとしての機能を作り込むことが可能になってきている。例えば、從来であれば1チップ内で構成されていた機能マクロが、それ以外の論理回路と共に1チップに設けられるようになる。かかる機能マクロは、例えば、CPU、乘算器、マイクロコンピュータの周辺回路等、それ自体で1つのチップとしての機能を有するものである。通常のマクロは、ゲートやワイヤープロップであるセルやメモリを複数個有する比較的大きな固まりの回路である。

【0003】この様な機能マクロは、業界内で一種の標準化されたものが多く見受けられる様になり、LSIを設計して製造するメーカーによる独自設計のもの以外にも、種々の設計会社により設計されて市場に流通するものがある。従って、これらの機能マクロはある意味でブラックボックス化され、それを利用する者にとって内部の詳細な構成を考慮せずにその機能を満足されれば良いという性格のものになってきている。

【0004】

【発明が解決しようとする課題】しかしながら、機能マ

クロがブラックボックス化されるに伴い、LSIの設計上必要な論理シミュレーション工程での遅延時間計算を正確に行なうことができないという新たな問題が出てきた。即ち、LSIの製造工程には、大きく分けて回路設計をして論理シミュレーションによりその動作を確認する工程と、実際のLSIのマスクパターンを設計する工程と、そして最後に実際の半導体ウエハ上にそのパターンを焼き付けてLSIチップとする工程等からなる。

【0005】論理シミュレーション工程は、その後の多大なコストを要するウエハ工程を無駄にしない為には必須の工程である。そして、その論理シミュレーション工程ではチップ内のセルやマクロの論理動作が確認されるが、その為には回路接続された各セルやマクロの遅延時間を計算により求め、その遅延時間に基づいて論理動作の確認のシミュレーションが行われる。

【0006】従って、機能マクロがブラックボックス化されることによって、その機能マクロにおける遅延時間の算出が困難にならざる。それ自体で膨大な規模をもつ機能マクロは、内部の基本的な遅延時間は設計された段階でほぼ確定されているが、そのマクロの入力端子に入力される入力スルーレートに依存して入力部での遅延時間が変動し、更にそのマクロの出力に接続される負荷容量に依存して出力部での遅延時間が変動する。この変動の原因は、微細化に伴い従来考慮する必要がなかった入力スルーレートに依存したセルの遅延時間や出力スルーレート、配線部分の遅延時間、そして、遅延判定の信号レベルの違いからくる遅延時間等であり、機能マクロがチップ内に作り込まれることと密接な関係にある。

【0007】かかる変動部分を正確に計算して、基本的な遅延時間に加算することによって、チップ内に設けられたマクロの全体の遅延時間を正確に計算することが可能になる。ところが、ブラックボックス化されたマクロの入力段の回路構成は千差万別であり、また出力段での回路構成も同様にマクロ毎に異なる。従って、市場に流通するマクロを利用して論理回路設計をする場合、その遅延時間の正確な計算は容易ではない。

【0008】そこで、本発明は、上記従来の問題点を解決するため、ブラックボックス化されたマクロに対しても、回路の設計者がその遅延時間を正確に計算する事が容易にできるようにするマクロのモデリング方法を提供し、より効率的な大規模集積回路装置の製造方法及び大規模集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】上記の目的は、本発明によれば、所定の機能を有するマクロコアを有し入力端子と出力端子の近傍に境界セルを付加したマクロに対し、該入力端子と出力端子に該境界セルの遅延特性データを属性データとして与えた論理ライブラリデータを生成してファイルに格納する工程と、少なくとも複数のセルと前記マクロを有し、前記セルが該マクロの入力端子

及び出力端子に接続された境界セルを介して前記マクロコアに接続される論理回路を設計する工程と、該設計された論理回路について、該遅延特性データに基づいてマクロの遅延時間を演算する工程と、演算して求めた該遅延時間にしたがって該設計された論理回路の論理シミュレーションを行う工程とを有することを特徴とする大規模集積回路装置の製造方法を提供することにより達成される。

【0010】本発明によれば、前記入力端子に接続される境界セルの遅延特性データは、入力スルーレートに依存する遅延時間特性についてのデータであることを特徴とする。さらに、前記遅延時間特性についてのデータは、遅延時間の計算に必要な特性パラメータであることを特徴とする。また、前記遅延時間特性についてのデータは、該入力端子に接続されるセルの遅延時間判定レベルと前記マクロコアの遅延時間判定レベルとに整合した遅延時間特性であることを特徴とする。

【0011】さらに、本発明によれば、前記出力端子に接続される境界セルの遅延特性データは、出力駆動能力についてのデータであることを特徴とする。さらに、前記出力駆動能力についてのデータは、入力スルーレート及び負荷容量に依存した出力スルーレート、及び入力スルーレートと負荷容量に依存した遅延時間であることを特徴とする。また、前記出力駆動能力についてのデータは、該出力端子に接続されるセルの遅延時間判定レベルと前記マクロコアの遅延時間判定レベルとに整合した遅延時間特性であることを特徴とする。

【0012】上記の目的は、本発明によれば、複数のセルと、所定の機能を有するマクロとを有する大規模集積回路装置において、前記マクロは、複数の入力端子と出力端子と、上記所定の機能を有するマクロコアと、該入力端子及び出力端子と該マクロコアとの間に設けられ該入力端子及び出力端子毎に接続された境界セルとを有し、前記セルが境界セルを介して該マクロコアに接続されることを特徴とする大規模集積回路装置を提供することにより達成される。

【0013】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0014】図1は、LSIの製造工程の概略的なフローチャートの一例である。まず、目的としているLSIの論理回路の設計が行われる(S1)。この工程では、論理ライブラリに於ける複数種類のセル、マクロ等を配置して接続することにより行われる。そして、設計された論理回路に対して、遅延時間の計算が行われる(S2)。この遅延時間計算工程は、通常遅延時間計算プログラムといわれるツールによりコンピュータによって行われる。遅延時間の計算には、論理回路を構成する各セ

ルやマクロの遅延特性、あるいは遅延時間計算の為のパラメータが論理ライブラリから取り出されて利用される。例えば、前段のセルやマクロの出力駆動能力にしたがう 入力スルーレートが計算され、その入力スルーレートと上記遅延特性などからそのセルやマクロの遅延時間が求められる。

【 0015 】 遅延時間の計算が終わると、その遅延時間に基づいて論理回路の論理シミュレーションが行われる (S 3) 。この論理シミュレーションもシミュレーションプログラムにより行われるが、論理設計を行った者により作成された所定の入力パターンとそれに対応する期待される出力パターンからなるテストパターンが使用される。論理シミュレーション工程において、各セルやマクロがステップ S 2 で求めた遅延時間で動作することを前提にして、期待通りの論理動作を行うか否かのチェックが行われる。即ち、入力パターンに対して出力されるパターンが上記の期待出力パターンと一致するか否かのチェックが行われる。

【 0016 】 論理チェックで合格となると、各セルやマクロのレイアウトパターンに従って具体的なチップレイアウトが作成される (S 4) 。そして、レイアウト図からより正確な抵抗値や容量値が抽出される (S 5) 。その後抽出した抵抗、容量に従って、再度遅延時間の計算が行われ (S 6) 、論理シミュレーションが行われる (S 7) 。この 2 つの検証工程は、チップレイアウトに基づいたより正確な動作チェックの為に行われるものである。それを合格すると、最後に LSI の製造が行われる (S 8) 。

【 0017 】 上記した通り、LSI の製造工程において論理回路を構成するセルやマクロの特性、特に遅延時間計算に必要な特性やパラメータ、論理シミュレーションに必要な特性やパラメータを事前に抽出して論理ライブラリ化しておくことが必要である。図中のステップ S 9 が、その論理ライブラリの作成工程である。

【 0018 】 図 2 は、概略的に示した LSI 設計システムの全体構成図である。CPU 10 に各ファイル 1 1 ~ 1 6 がアクセス可能に接続されている。ファイルには前記した論理ライブラリのファイル 1 1 、各セルやマクロの回路パターンが格納されている物理ライブラリのファイル 1 2 、設計された論理回路データのファイル 1 3 、テストパターンのファイル 1 4 、設計された論理回路データをもとに物理ライブラリの回路パターンをあてはめて生成されるレイアウトデータのファイル 1 5 等がある。

【 0019 】 また、設計用のツールとしては、設計ツール用ファイル 1 6 に格納されている様に、例えば、各セルやマクロの特性、特性パラメータを抽出するキャラクタライズプログラム、マクロ等のバスの遅延時間を求めるバス解析ツール、遅延時間計算プログラム、論理シミュレーションプログラム、レイアウトプログラム、レイ

アウト図から抵抗や容量を抽出するプログラム等が利用される。

【 0020 】 次に、高集積化に伴い遅延時間計算で考慮すべき点と、それに伴い通常のセルからなる回路内にマクロを埋め込む場合に考慮すべき点について以下に説明する。

【 0021 】 図 3 は、入力スルーレートや出力容量に依存するセルの遅延時間を説明する図である。この入力スルーレート依存性は、微細化技術が進んだことにより遅延時間計算の為に考慮する必要が出てきたものである。図 3 (a) ではセル 2 0 の入力端子 2 1 に立ち上がり波形が異なる入力 T s i n 1 , 2 , 3 が入力され、出力端子 2 2 に負荷容量 C L が接続された例が示されている。ここで、入力スルーレートとは入力信号の立ち上がりに要する時間であり、入力信号が急峻に立ち上がるごと入力スルーレートが短くなり、立ち上がりが鈍いと入力スルーレートが長くなる。

【 0022 】 図 3 (b) には、その時のセル 2 0 の遅延時間 T p d が示されている。出力端子 2 2 に接続される負荷容量 C L が大きくなるに伴い遅延時間 T p d が増加する。また、入力スルーレートが異なると、セル 2 0 のトランジスタが反転する閾値 V t に達する時間が異なり、入力の立ち上がりが遅いとセル内の駆動トランジスタの不完全なオン状態が長くなり、図中 2 3 の様に遅延時間波形が緩慢な波形になる。即ち、負荷容量が大きくなると、入力スルーレートの長い T s i n 3 では駆動トランジスタの不完全な状態が長くなり遅延時間 T p d が大きくなる。そして、負荷容量がさらに大きくなると遅延時間は単純に容量値に比例する。図 3 (b) の特性は、セルによって異なる。

【 0023 】 かかるセル 2 0 が論理回路内に配置されると、前段のセルの駆動能力や回路接続の状態によって、入力端子への入力スルーレートが決定され、その入力スルーレートに依存してセルの遅延時間が異なることになる。負荷容量も同様である。従って、セル 2 0 の特性として、その遅延時間計算に必要なパラメータ或いは図 3 (b) の如き遅延特性が入出力バス毎に予め求められて登録されている必要がある。パラメータ値の例としては、以下の如き α 値であり、かかる α 値があれば遅延時間の計算を行うことができる。

$$【 0024 】 \alpha_1 = (T_{02} - T_{01}) / (T_{sin2} - T_{sin1})$$

$$\alpha_2 = (T_{03} - T_{02}) / (T_{sin3} - T_{sin2})$$

或いは、図 3 (b) の遅延時間特性は、図中の点の部分の値をテーブルの形でデータ化されることもある。

【 0025 】 図 4 は、配線による遅延時間(配線ディレイ) T line を説明する図である。微細化技術の進歩により高集積化が進み、配線幅が細くなりセルの面積に比べて配線の占める面積が大きくなり、相対的に配線容

量による遅延時間が無視できなくなっている。図4に示される通り、配線の抵抗Rと寄生容量Cに比例して配線遅延時間が長くなる。

【 0 0 2 6 】 図5は、セルとマクロが接続された時の接続部での遅延時間の誤差を説明する図である。LSIチップ100内にセル6、7とマクロ30とが接続されている。マクロが市場を流通することに伴い、独自の遅延判定レベルにもついて遅延時間が定義されることがある。その為、図5の如き接続をした場合、セル26、27とマクロ30との遅延判定レベルVtが異なり、遅延時間に誤差が発生する。

【 0 0 2 7 】 セルやマクロの遅延時間は、入力信号が所定の判定レベルVtに達してから出力信号が同様の判定レベルVtに達するまでの時間として定義される。例えば、セル26、27が立ち上がり電圧の20%程度の判定レベルVt1で定義され、マクロが50%程度の判定レベルVt2で定義されていたとする。すると、セル26とマクロ30の入力端子Nとの間では、信号24のVt1からVt2までのΔt1の時間が遅延時間から抜けてしまう。更に、マクロ30の出力端子OUTとセル27との間では、信号25のVt1からVt2までのΔt2の時間が遅延時間として重複してしまう。

【 0 0 2 8 】 マクロ30の入力端子1Nの入力信号24の入力スルーレートとセル27の入力信号25の入力スルーレートとは、そこに接続される負荷容量や前段の駆動能力により異なるので、単純に相殺しあうことはできない。従って、マクロの遅延時間がセル26、27と異なる判定レベルで定義されている場合は、上記したΔt1とΔt2の分が遅延時間の計算に含めることができず不正確な遅延時間となってしまう。

【 0 0 2 9 】 図6は、LSIチップ内にマクロを埋め込んだ場合の問題点を説明する図である。この例では、LSIチップ100内でセルA、B、Cとマクロ30とが接続されている。マクロを埋め込む場合、マクロ内の基本的な遅延時間に加えて、入力端子MA、MBでの入力スルーレートに依存した遅延時間と出力端子MXでの負荷容量に伴う遅延及び配線による遅延時間を考慮する必要がある。マクロ30内で入力信号が一端バッファリングされると、内部ではその入力に対する出力の遅延時間は固定的であるので、基本遅延時間として画一的に登録しておくことができる。入力スルーレートに依存した遅延時間と出力端子MXでの負荷容量に伴う遅延及び配線による遅延時間が、この場合外部の回路に依存した変動要素である。即ち、入力部での入力端子MA、MBでの入力スルーレートと出力端子MXでの負荷容量CLは、論理回路の設計をして初めて特定されるファクタである。

【 0 0 3 0 】 そこで、ブラックボックス化されているマクロ30の入力端子に接続される内部回路の例をみると、第一に、入力端子MAに対してセルOとセルPとが

接続されている。従って、入力スルーレートから求められる遅延時間の特性パラメータ或いは遅延特性をセルOにすべきかセルPにすべきかという問題が生じる。論理ライブラリに登録されるマクロの属性データとして、入力端子MAにおける遅延時間計算の為のパラメータまたは遅延特性を与える必要がある。しかし、図6の端子MAの場合は、セルO、Pのどちらにすべきか決定できず、一方のパラメータを与えると、他方のセルへのバスの遅延時間が不正確なものになる。

【 0 0 3 1 】 第二に、入力端子MBの場合には、マクロの初段のセルQまでの配線T1ineBが長い為、その配線ディレイを属性データとして与える必要があるが、セルSに対しては不要なディレイであり、入力端子MBに与えるパラメータとしては不適切である。

【 0 0 3 2 】 更に、第三に出力端子MXと最終段のセルRとの間の配線T1ineRが長いと、その遅延時間を出力端子MXの属性データとして与える必要がある。そして、第四に前述したセルA、B、Cとマクロの遅延時間判定レベルに不整合があると、図5で説明したような不整合に伴う遅延時間の調整を行うことが必要である。

【 0 0 3 3 】 以上4つの例で示した通り、ブラックボックス化されたマクロを埋め込む場合に、内部回路の構成にかかわりなく入力端子や出力端子に遅延時間計算に必要な属性データを与えておくことが必要である。ところが、上記4つの例で示した通り、正しく属性データを与えることが困難である。

【 0 0 3 4 】 図7は、本発明を適用してモデリングされたマクロを示す図である。この例では、図6に示したマクロ30をマクロコア35として取り扱い、そのマクロ

コア35の入力端子36、37と出力端子38に境界セル31、32、33を追加して、新たなマクロ34としている。即ち、論理ライブラリにマクロを登録する場合に、そのマクロ30をマクロコア35とし、更に境界セル31、32、33を入力初期セルと出力最終段セルとして付加したマクロ34を登録するのである。更に、境界セル31、32、33は、新たなマクロ34の入力端子MA、MBと出力端子MXの近傍に配置し、前述した入力段と出力段での配線長による遅延時間を考慮する必要がない様にする。

【 0 0 3 5 】 上記の様に境界セルを入力端子MA、MBと出力端子MXの近傍に追加してマクロ34を登録することにより、第一にマクロの入力端子と境界セルとが1対1になり、入力スルーレートに依存した遅延時間は境界セルの特性、または特性パラメータを利用することで簡単に且つ正確に計算することができる。従って、図6で説明した端子MAに対する特性をセルOかPかのどちらにするかの問題はなくなる。

【 0 0 3 6 】 第二に、境界セルをマクロの外部端子MA、MB、MXの近傍に配置することにより、入力スルーレートに依存する遅延時間の計算工程では、マクロ3

O の外部端子MB からマクロの初段のセルQまでの配線 Tl i n e B の遅延を無視することができる。そして、図7 におけるマクロコア3 5 の端子3 7 と初段セルQまでの配線 Tl i n e B の遅延時間は、入力端子MB にあたえられる信号の入力スルーレートに依存せず、単純にマクロ内の遅延時間として固定的に取り扱うことができる。従って、その分の遅延時間をマクロコア内の固定遅延として取り扱うことができ、マクロ3 4 の境界部分の遅延時間から切り離すことができる。この点は、出力端子MX の場合も、同等の理由で配線遅延 Tl i n e R を無視して遅延時間の計算を行うことができる。

【0037】第三に、境界セルの遅延時間判定レベルは、入力側の境界セル3 1、3 2 では、入力側の判定レベルをマクロ外部のセルA、B と同じレベルにし、出力側の判定レベルをマクロコア3 5と同じレベルにする。また、出力側の境界セル3 3 では、入力側の判定レベルをマクロコア3 5と同じレベルにし、出力側の判定レベルをマクロ外部のセルC と同じレベルにする。その様に境界セルをそれぞれ定義して付加することにより、遅延時間の判定レベルVt の不整合による不正確な遅延時間をなくすことができる。

【0038】この様に、ブラックボックス化されたマクロ3 0 に対して、上記の如き特性で定義される境界セルを周辺に追加して新たなマクロ3 4 とすることにより、マクロ3 0（マクロコア3 5）の内部回路を考慮することなく、マクロを埋め込んだことに伴う境界部分での遅延特性（または特性パラメータ）を属性データとして与えることができ、その特性の属性データに従って正確な遅延時間の計算を行なうことができる。

【0039】上記した境界セルの種類は特に限定されない。通常のNAND、AND、NOR、OR ゲート、フリップフロップ、双方向セル等、任意の回路が選択される。

【0040】図8 は、論理ライブラリを作成するフローチャートである。このフローチャートは、図1 で示したステップS 9における工程を詳述したものである。上記の考え方にして、ブラックボックス化されたマクロの特性抽出（キャラクタライズ）が行われる。

【0041】論理回路設計において、論理ライブラリに登録されたセルやマクロが適宜使用される。そして、その論理ライブラリに登録されている属性データにしたがって遅延時間計算工程、論理シミュレーション工程が行われる。通常、論理回路設計者により遅延時間の計算工程と論理シミュレーション工程が実行される。従って、マクロの内部が完全にブラックボックス化されて、マクロの入力端子での遅延特性と出力端子での駆動能力（遅延特性）とがそれぞれの端子の属性データとして単純に与えられることが必要である。

【0042】図8 のフローチャートに従って説明するにあたり、例として図9 に示したマクロ3 0 を図1 0 に示

したLSI チップ1 00 内にセルA、B、C と共に埋め込む論理回路を設計するとする。従って、本発明により図1 0 での論理ライブラリ内のマクロ3 4 は境界セルを追加したマクロである。

【0043】図8 のステップS 10 に示される通り、論理回路設計に使用されるセルの特性抽出（キャラクタライズ）が行われる。このセルの特性のうち遅延時間の計算に必要な特性は、図3 で示した様な特性のテーブルである。或いは、前述した通りの特性パラメータ（ α 値）である。この様な特性テーブル或いは特性パラメータは、セルの入出力のバス毎に登録される。セルの属性データとしては、かかる特性テーブルまたはパラメータの他に、例えば図1 4 に示される様に論理データ、入力端子容量、出力駆動能力等である。

【0044】次に、マクロの特性の抽出（キャラクタライズ）を行う為にマクロの周辺に追加する境界マクロの特性の抽出を行う（S 11）。図1 は、かかる境界セルの抽出される特性を説明する図である。この例は、境界セル3 1 がバッファタイプの場合であり、図1 1

20 (a) に示される通り、境界セル3 1 の入力端子3 9 に異なる入力スルーレート（入力信号がL からHレベルに立ち上がるのに要する時間）T s i n 1, 2, 3 の信号が入力し、出力端子4 0 に負荷容量CL が接続される。その場合、入力スルーレートに依存する遅延時間T p d の特性（図1 1 (b)）と、同様に依存する出力スルーレートT s o u t の特性（図1 1 (c)）が抽出される。この特性は更に遅延時間計算用の特性パラメータ（ α 値）として抽出される。

【0045】これらの特性が抽出されることで、境界セルがマクロの入力端子に接続される場合は入力スルーレートに依存する遅延時間T p d が簡単に計算でき、また境界セルが出力端子に接続される場合はマクロの外部にある次のセルの入力スルーレートを求めることが可能となる。

【0046】上記した遅延時間T p d は、前述した通り判定レベルがそれぞれ接続される前段または後段の判定レベルに合わせられて抽出される。例えば、図1 2 にはマクロの外部のLSI チップ1 00 内のセル4 2 の遅延時間とマクロ3 0 の遅延時間を判定するレベルの例が示されている。即ち、図1 2 の例では、セル4 2 の遅延時間T p d を判定する電圧レベルが入出力共に1 V であり（図1 2 (a)）、一方、マクロ3 0 の遅延時間T p d を判定する電圧レベルが入出力共に1. 65 V である（図1 2 (b)）。

【0047】そこで、図1 3 に境界セルの判定レベルを示す。図1 3 (a) がマクロの入力端子に接続される境界セルの例であり、入力信号の判定レベルはセル4 2 の判定レベルの1 V に設定され出力信号の判定レベルはマクロ3 0 の判定レベルの1. 65 V に設定される。この様にして定義された遅延時間T p d が、図1 1 (b) の

特性として定義される。図13(b)はマクロの出力端子に接続される境界セルの例であり、入力信号の判定レベルはマクロ30の判定レベルの1.65Vに設定され出力信号の判定レベルはセル42の判定レベルの1Vに設定される。

【0048】さて、図8に戻って、境界セルの特性抽出が終わると、マクロ30の周辺に境界セルが配置され、新たなマクロが形成される(S12)。即ち、図7で示したマクロ34の構成が形成される。入力用の境界セル31、32はマクロアの入力端子36、37と入力端子MA、MBとの間に追加される。出力用の境界セル33がマクロアの出力端子38と出力端子MXとの間に追加される。そして、前述の通り、境界マクロ31、32、33はそれぞれの入力端子MA、MBや出力端子MXの近傍に配置される。

【0049】そして、ステップS13に示す通り、境界セルが追加された新しいマクロ34に対して特性抽出(キャラクタライズ)が行われる。マクロの遅延時間計算に利用される特性は、図11(b)で示した入力スルーレートに依存する遅延時間の特性パラメータである。この特性パラメータは、入力端子MA、MB毎に属性データとして与えられる。出力端子MXに与えられるパラメータは図11(b)と更に、図11(c)で示した出力スルーレートの特性である。この特性は出力駆動能力の属性データとして出力端子MX毎に与えられる。

【0050】図14は、論理ライブラリに格納されるセルA、B、CとマクロD(34)の属性データの構成例である。マクロの属性データとしては、上記の特性パラメータD2、出力駆動能力D3に加えて、入力スルーレートに依存しない基本遅延時間D4がある。D1はマクロDの論理データであり、論理シミュレーションで使用される属性データである。図14の如きマクロの属性データが与えられると、そのデータが論理ライブラリとして、ファイル1内に格納される。このファイル11は、コンピュータにより読み取り可能な記録媒体であれば、磁気テープ、磁気ディスク、その他光磁気を利用したファイル、半導体記憶装置などで実現される。

【0051】図1に戻り、論理ライブラリの登録されたマクロセルにより論理回路が設計されると(S1)、遅延時間計算プログラムにしたがって設計された論理回路内の各遅延時間の計算が行われる。上記の様にマクロ34がライブラリに登録されているので、論理回路の遅延時間の計算は簡単でかつ正確に行われる。マクロ34内の回路構成を考慮することなく、ブラックボックスとして扱うことができる。即ち、入力端子MA、MBに対しては、入力パラメータに依存する遅延時間を求める為の特性パラメータが属性データとして与えられているので、単純にその特性パラメータに従って遅延時間を計算することができる。出力端子MXに対しては、駆動能力として負荷に対する遅延時間の特性(負荷依存性)と出

力スルーレートの特性が属性データとして与えられており、出力端子MXに接続される負荷による遅延時間の増加分と出力端子MXに接続される次段のセルCに与えられる入力スルーレートが簡単に計算される。

【0052】そして、入力スルーレートに依存した入力側の境界セルの遅延時間及び出力側の負荷による遅延時間の増分をマクロの基本遅延時間D4に加えることで、マクロ34全体の遅延時間を求めることができる。その後は、既に説明した論理シミュレーション工程S3、レイアウト工程S4、抵抗と容量抽出工程S5、遅延時間計算と論理シミュレーション工程S6、7を経て、LSIの製造工程S8へと移っていく。

【0053】上記の様に境界セルが付加されたマクロを埋め込んだLSIは、その完成された構成には、マクロの入力端子の近傍にかならず境界セルが設けられることがある。

【0054】

【発明の効果】以上説明した通り、本発明によれば、ブラックボックス化されたマクロの周辺に入力端子と1対1に対応して境界セルが付加されて、マクロとしての特性の抽出が行われる。従って、入力端子の特性パラメータ、出力端子の駆動能力等の属性データを単純に割り当てることができる。よってそのようなマクロをライブラリから引き出して論理回路の設計が行われる場合は、その後の遅延時間の計算工程が極めて単純になり、より正確な遅延時間の計算を行うことが可能になる。

【図面の簡単な説明】

【図1】LSIの製造工程の概略的なフローチャートの一例である。

【図2】LSI設計システムの全体構成図である。

【図3】入力スルーレートや出力容量に依存するセルの遅延時間を説明する図である。

【図4】配線による遅延時間(配線ディレイ)を説明する図である。

【図5】セルとマクロが接続された時のその接続部での遅延時間の誤差を説明する図である。

【図6】LSIチップ内にマクロを埋め込んだ場合の問題点を説明する図である。

【図7】本発明を適用してモデリングされたマクロを示す図である。

【図8】論理ライブラリを作成するフローチャートである。

【図9】実施の形態例で使用されるマクロの回路例を示す図である。

【図10】実施の形態例で使用されるLSIチップの例を示す図である。

【図11】境界セルの抽出される特性を説明する図である。

【図12】セルの遅延時間とマクロの遅延時間を判定するレベルの例を示す図である。

13

【 図1 3 】 境界セルの判定レベルを示す図である。

【 図1 4 】 論理ライブラリに格納されるセルとマクロの属性データの構成例である。

【 符号の説明】

1 0 C P U

1 1 論理ライブラリを格納したファイル

3 1 、 3 2 、 3 3 境界セル

3 4 マクロ

3 5 マクロコア

1 0 0 L S I チップ

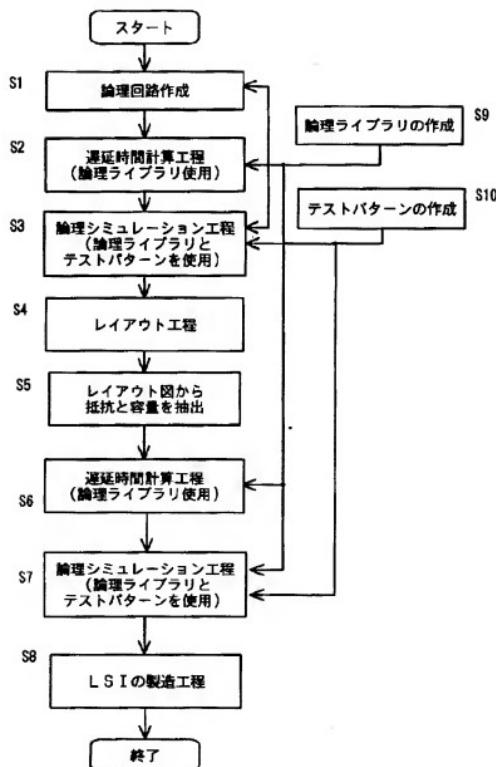
M A , M B 入力端子

M C 出力端子

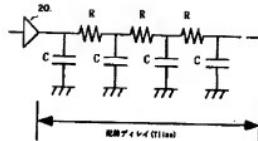
14

【 図1 】

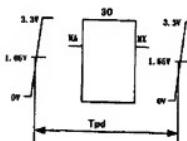
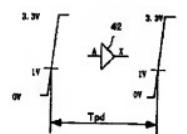
L S I 製造工程のフロー チャート図



【 図1 4 】

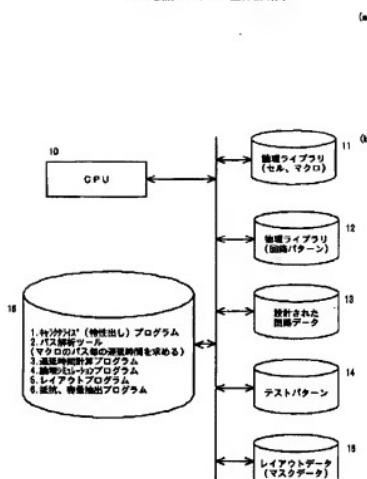


【 図1 2 】

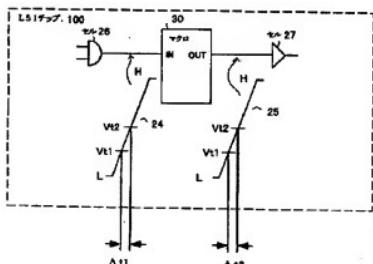


【図2】

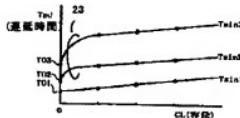
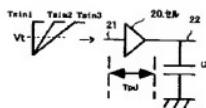
LSI設計システムの全体構成図



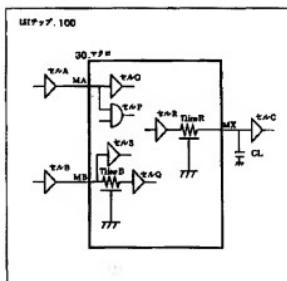
【図5】



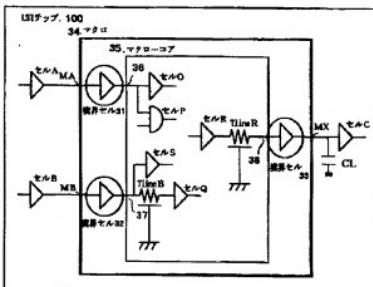
【図3】



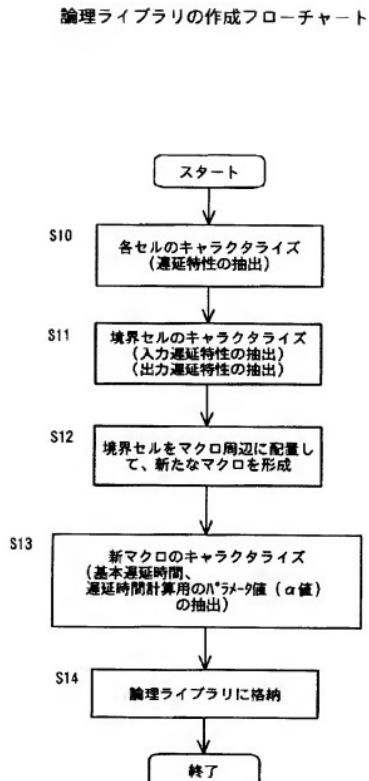
【図6】



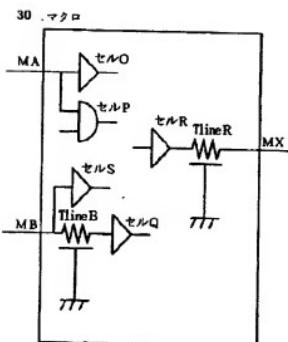
【図7】



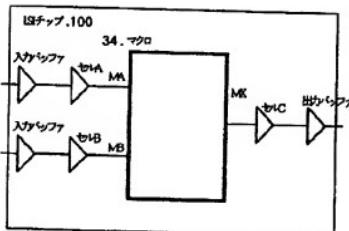
【 図8 】



【 図9 】

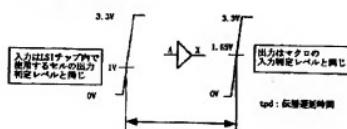


【 図10 】

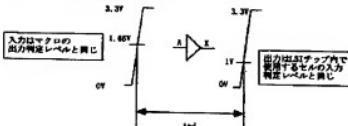


【 図13 】

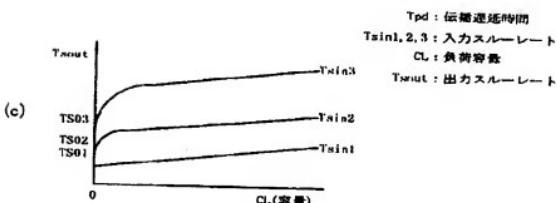
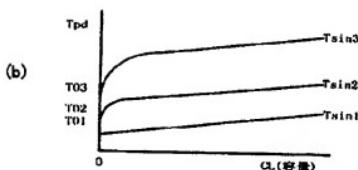
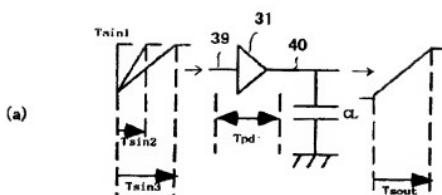
(a) マクロの入力端子に接続する境界セル



(b) マクロの出力端子に接続する境界セル



【 図11 】



【 図14 】

論理ライブラリ内のデータ構成例

- セルA
 - A1. 論理データ
 - A2. 入力電子容量 (入力電子角)
 - A3. 出力駆動能力 (出力電子角)
 - A4. 入力スルーレートに依存した遷移時間のテーブル (バス角)

- セルB
 - B1. 論理データ
 - B2. 入力電子容量 (入力電子角)
 - B3. 出力駆動能力 (出力電子角)
 - B4. 入力スルーレートに依存した遷移時間のテーブル (バス角)

- セルC
 - C1. 論理データ
 - C2. 入力電子容量 (入力電子角)
 - C3. 出力駆動能力 (出力電子角)
 - C4. 入力スルーレートに依存した遷移時間のテーブル (バス角)

- マクロD (34)
 - D1. 論理データ
 - D2. 基本遷移時間削除化 (マーカ値 (入力電子角))
 - D3. 出力駆動能力 (出力電子角)
 - D4. 基本遷移時間
 - D41 入力駆動界セル1, 2の基本遷移時間
 - D42 出力駆動界セル3の遷移時間
 - D43 マクロコア内の遷移時間
 - D44 出力端端T line Rの遷移時間